

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-197644

(43)Date of publication of application : 11.07.2003

(51)Int.Cl.

H01L 21/338

H01L 29/778

H01L 29/812

(21)Application number : 2001-394312

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 26.12.2001

(72)Inventor : SUZUKI CHIYOUJITSURIYO
YOKOGAWA TOSHIYA
DEGUCHI MASAHIRO
YOSHII SHIGEO
FURUYA HIROYUKI

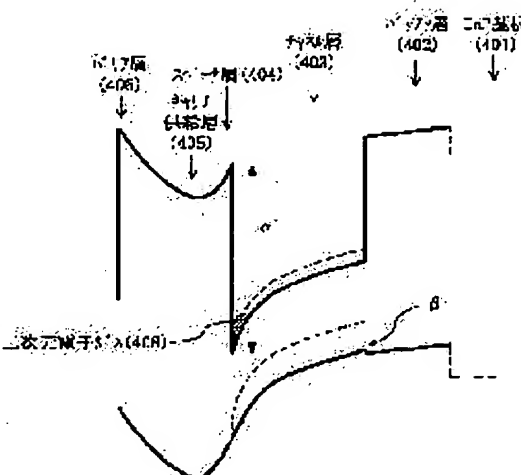
(54) SEMICONDUCTOR DEVICE FOR COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device for communication equipment where a hole accumulation in a channel layer of HFET is controlled to stabilize characteristics, improve a breakdown voltage and enables high-speed drive.

SOLUTION: The semiconductor device for communication equipment has an HFET structure and comprises an InP substrate, a buffer layer and a spacer layer made of InAlAs, and a channel layer made of InGaAsPN between the buffer and spacer layers.

Concentrations of P and N injected into the channel layer are controlled to optimize a band structure so that a two-dimensional electron gas improved in its mobility and concentrated in its carrier density is generated and ionization due to a ionization collision is suppressed when it is driven. Holes generated in the channel layer are easily removed since the amount of band discontinuity at the end of a valence band of a heterojunction face is small, which improves the breakdown voltage and enables the high-speed drive.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of
rejection][Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-197644

(P2003-197644A)

(43)公開日 平成15年7月11日(2003.7.11)

(51)Int.Cl.⁷

H 0 1 L 21/338

29/778

29/812

識別記号

F I

H 0 1 L 29/80

テラコト⁷(参考)

H 5 F 1 0 2

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21)出願番号 特願2001-394312(P2001-394312)

(22)出願日 平成13年12月26日(2001.12.26)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 鈴木 朝実良

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 横川 俊哉

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外7名)

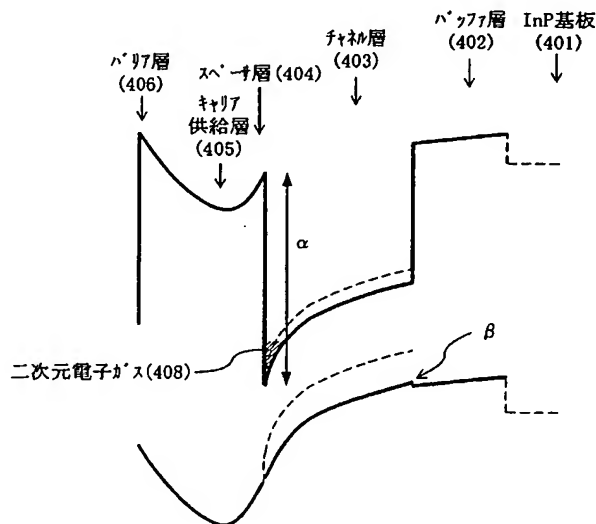
最終頁に続く

(54)【発明の名称】 通信機器用半導体装置

(57)【要約】

【課題】 H F E Tのチャネル層内でのホールの蓄積を抑制することで、特性が安定な、高耐圧で高速動作が可能な通信機器用半導体装置を提供する。

【解決手段】 通信機器用半導体装置は、H F E Tの構造を有し、In P基板と、In A l A sからなるバッファ層及びスペーサ層と、バッファ層とスペーサ層に挟まれたIn G a A s P Nからなるチャネル層とを備えている。チャネル層に導入するPとNの濃度を調節してバンド構造を最適化することにより、駆動時には従来よりも高い移動度が高く、キャリア濃度が高い二次元電子ガスを生じるとともに、電離衝突によるイオン化が抑制される。また、ヘテロ接合界面において価電子帯端のバンド不連続量 β が小さくなっているため、発生したホールがチャネル層から速やかに除去でき、耐圧の向上と、高速動作化を図ることができる。



【特許請求の範囲】

【請求項1】 第1の半導体層と、

上記第1の半導体層の上に設けられ、上記第1の半導体層よりもバンドギャップが小さい第2の半導体層と、
上記第2の半導体層の上に設けられ、上記第2の半導体層との間でヘテロ障壁を生ぜしめる材料からなる第3の半導体層とを備え、

上記第2の半導体層と上記第3の半導体層との界面において、上記第2の半導体層の伝導帯端のポテンシャルが上記第3の半導体層の伝導帯端のポテンシャルよりも低く、

上記第1の半導体層と上記第2の半導体層との界面において、上記第2の半導体層の価電子帯端のポテンシャルが上記第1の価電子帯端のポテンシャルよりも高いときのポテンシャル差を正の値とすると、上記第1の半導体層の価電子帯端のポテンシャルと上記第2の半導体層の価電子帯端のポテンシャルとの差が -0.4 eV 以上 0.18 eV 以下である通信機器用半導体装置。

【請求項2】 請求項1に記載の通信機器用半導体装置において、

上記第1の半導体層の下にInP基板をさらに備えていることを特徴とする通信機器用半導体装置。

【請求項3】 請求項1または2に記載の通信機器用半導体装置において、

上記第1の半導体層と上記第2の半導体層との界面において、上記第1の半導体層の価電子帯端のポテンシャルと上記第2の半導体層の価電子帯端のポテンシャルとの差が 0.1 eV 以下であることを特徴とする通信機器用半導体装置。

【請求項4】 請求項1～3のうちいずれか1つに記載の通信機器用半導体装置において、

上記第2の半導体層のバンドギャップエネルギーが 0.77 eV 以上であることを特徴とする通信機器用半導体装置。

【請求項5】 請求項1～4のうちいずれか1つに記載の通信機器用半導体装置において、

上記第2の半導体層は、少なくともInを含むIII-V族半導体であることを特徴とする通信機器用半導体装置。

【請求項6】 請求項5に記載の通信機器用半導体装置において、

上記第2の半導体層は、 $(\text{In}_x\text{Ga}_{1-x})\text{As}_y\text{P}_{1-y}$ からなることを特徴とする通信機器用半導体装置。

【請求項7】 請求項5または6に記載の通信機器用半導体装置において、上記第2の半導体層は、 $(\text{In}_x\text{Ga}_{1-x})\text{As}_y(\text{PzNi}_{1-z})_{1-y}$ からなることを特徴とする通信機器用半導体装置。

【請求項8】 請求項2～7のうちいずれか1つに記載の通信機器用半導体装置において、

上記第1～第3の半導体層は、上記InP基板とほぼ格子整合していることを特徴とする通信機器用半導体装

置。

【請求項9】 請求項2～8のうちいずれか1つに記載の通信機器用半導体装置において、

上記第1の半導体層及び上記第3の半導体層がInAlAsからなっていることを特徴とする通信機器用半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、通信機器用半導体装置に関し、特にヘテロ接合電界効果型トランジスタに関するものである。

【0002】

【従来の技術】近年、高周波特性、発光特性、耐圧特性など特定の特性が優れた特殊な機能を有する半導体デバイスを実現するために、新しい半導体材料や半絶縁材料の開発が活発に行われている。半導体材料の中でもインジウム燐(InP)系半導体は、代表的な半導体材料である珪素(Si)に比べて電子移動度や飽和電子速度が大きい半導体であることから、次世代の高周波デバイス、高温デバイスなどへの応用が期待される材料である。そして、携帯電話や携帯情報端末(PDA)の他、家庭やオフィスの機器などをネットワーク化する、高周波を用いた通信用システムへの応用は、InP材料の用途として非常に有望である。

【0003】InPを用いたデバイスの1つとして、InP基板に格子整合するInAlAs/InGaAsヘテロ接合を用いたヘテロ接合電界効果型トランジスタ(以下、HFETと称す)がある。このHFETの高性能化は従来より進められており、集積回路に応用するための研究も盛んに行われている。

【0004】図6は、従来の代表的なHFET(以下、「従来のHFET」と称す)の構造を示す断面図である。同図に示すように、従来のHFETは、半絶縁性のInP基板601と、InP基板601上に設けられたアンドープのInAlAsからなる厚さ200nmのバッファ層602と、バッファ層602上に設けられたアンドープのInGaAsからなる厚さ15nmのチャネル層603と、チャネル層603の上に設けられたアンドープのInAlAsからなる厚さ2nmのスペーサ層604と、スペーサ層604の上に例えば共蒸着により設けられた面密度 $5 \times 10^{12} \text{ cm}^{-2}$ のSiを含む原子層ドーピング面からなる不純物添加層605と、不純物添加層605の上に設けられたアンドープのInAlAsからなる厚さ15nmのバリア層606と、バリア層606の上に設けられたゲート電極611と、バリア層606の上のゲート電極611の両側方に設けられた $1 \times 10^{19} \text{ cm}^{-3}$ のSiを含むn型InGaAsからなるキャップ層607と、チャネル層603、スペーサ層604、不純物添加層605、バリア層606及びキャップ層607の一部にSiをイオン注入することにより設け

られたソース領域612及びドレイン領域613と、ソース領域612上に設けられたソース電極610と、ドレイン領域613の上に設けられたドレイン電極609を備えている。また、バッファ層602、チャネル層603、スペーサ層604、バリア層606及びキャップ層607はそれぞれ分子線エビタキシー(MBE)法や化学気相成長(CVD)法などにより堆積された層であり、InP基板601に格子整合している。なお、ドレイン電極609及びソース電極610は共にAuGe/Ni等からなっており、ドレイン領域613とソース領域612とそれぞれオーミック接触している。

【0005】次に、図7は、図6に示すVII-VII線における従来のHFETのエネルギーバンド図である。同図は、HFETの駆動時におけるエネルギーバンド図であり、ゲート電極611に電圧が印加された状態を示している。

【0006】図6及び図7から分かるように、従来のHFETは、共にバンドギャップの大きいInAlAsからなるバッファ層602とスペーサ層604との間にバンドギャップの小さいInGaAsからなるチャネル層603が挟まれた、いわゆるダブルヘテロ構造をとっている。このため、伝導帯側においては、スペーサ層604とチャネル層603との間、及びバッファ層602とチャネル層603との間には、それぞれ0.55eVのエネルギー障壁(バンド不連続量 α)が形成され、キャリアとなる電子をチャネル領域中の狭い領域に閉じこめることができる。その結果、キャリアがチャネル層603とスペーサ層604との界面に蓄積し、散乱が抑制された状態でチャネル層603中を図7の紙面に対して垂直方向に移動する。こうして、バルク中を走行する電子よりも移動度の大きい二次元電子ガス608が生じるため、従来のHFETは、高速動作が可能になっている。

【0007】なお、従来のHFETにおいては、ゲート電極611に印加する電圧を調節することで二次元電子ガス608の濃度を変化させ、ソース電極-ドレイン電極間を流れる電流を制御することを可能にしている。

【0008】このように、従来のHFETは、キャリア電子の移動度が大きく、高周波を利用した通信機器に要求される優れた高周波特性を有している。

【0009】

【発明が解決しようとする課題】しかしながら、図7に示すように、従来のHFETのスペーサ層604とチャネル層603との間、及びバッファ層602とチャネル層603との間には伝導帯側だけでなく価電子帯側にも約0.2eVのエネルギー障壁(バンド不連続量 β)が生じるため、動作中に発生したホール(正孔)がチャネル層603内のスペーサ層604との界面付近に閉じこめられて蓄積するという不具合があった。ホールがチャネル層603内に蓄積することの影響を以下に説明する。

【0010】InP基板に格子整合したInGaAsは、バンドギャップが0.77eVと小さいため衝突イオン化が起こりやすく、走行中のキャリアが大きな運動エネルギーを持ったときに、より上の準位へ遷移しやすい。衝突イオン化が起こると電子・ホール対が生成され、このうち電子は他のキャリア電子と同様にドレイン電極へと流れる。これに対し、生成したホールは、電子に比べて非常に速度が遅く、電子の動作には追従できない。このため、HFETの動作中にホールが滞留しやすく、雑音の発生要因となり易い。また、チャネル層603とバッファ層602との間にはエネルギー障壁が存在するためにバッファ層602の方向に流れることができないので、衝突イオン化によって生成されたホールは、チャネル層603内に蓄積したままとなる。

【0011】衝突イオン化の頻度がさらに高くなるとチャネル層603内のホール濃度が増大し、一部のホールがゲート電極に流れ込んでゲートリーク電流を生じさせる。また、チャネル層603内に蓄積したホールはトランジスタ内のポテンシャル分布を変化させ、トランジスタのソース抵抗やしきい値電圧を変化させる。その結果、トランジスタの出力特性が不安定となる。さらに、このようなトランジスタ特性の変化がドレイン電流の増加を誘起し、電流の増加が衝突イオン化をさらに増加させることによってトランジスタの破壊に至ることもある。すなわち、ホールの蓄積によってトランジスタの耐圧は著しく低下する。

【0012】蓄積したホールを除去する方法として、例えばInP基板601の裏面上に基板電極を設け、そこに正電圧を印加してエネルギー障壁を越えやすくすることが考えられるが、動作電圧以上となる5Vを越える電圧を印加する必要があるため、通信機器への利用を考えた場合、現実的ではない。参考までに、主要な通信機器の1つである携帯電話では、機器内の回路で用いられる電圧は最大でも5V程度で、多くの回路は1~3Vの電圧で駆動されている。

【0013】本発明の目的は、化合物半導体からなるチャネル層でのホールの蓄積を抑制することで、ゲートリーク電流が低減され、且つ特性の安定した高耐圧で高速動作が可能な通信機器用半導体装置を提供することにある。

【0014】

【課題を解決するための手段】本発明の通信機器用半導体装置は、第1の半導体層と、上記第1の半導体層の上に設けられ、上記第1の半導体層よりもバンドギャップが小さい第2の半導体層と、上記第2の半導体層の上に設けられ、上記第2の半導体層との間でヘテロ障壁を生ぜしめる材料からなる第3の半導体層とを備え、上記第2の半導体層と上記第3の半導体層との界面において、上記第2の半導体層の伝導帯端のポテンシャルが上記第3の半導体層の伝導帯端のポテンシャルよりも低く、上

記第1の半導体層と上記第2の半導体層との界面において、上記第2の半導体層の価電子帯端のポテンシャルが上記第1の価電子帯端のポテンシャルよりも高いときのポテンシャル差を正の値とすると、上記第1の半導体層の価電子帯端のポテンシャルと上記第2の半導体層の価電子帯端のポテンシャルとの差が -0.4 eV 以上 0.18 eV 以下である。

【0015】これにより、第2の半導体層の伝導帯端のポテンシャルが第3の半導体層の伝導帯端のポテンシャルよりも低いので、本発明の通信機器用半導体装置がHFE Tである場合に、第2の半導体層をトランジスタのチャネルとして機能させることができる。また、第1の半導体層と第2の半導体層との界面において、第1の半導体層の価電子帯端のポテンシャルと第2の半導体層の価電子帯端のポテンシャルとの差が -0.4 eV 以上 0.18 eV 以下であるので、駆動時に第2の半導体層内にホールが蓄積しにくくなっている。また、ホールが蓄積した場合でも、第1の半導体側から 5 V 以下の電圧を印加することで容易にホールを除去することが可能となり、高耐圧で特性が安定したトランジスタを実現することができる。携帯電話などの通信機器の駆動電圧は通常 5 V 以下であるので、本発明の通信機器用半導体装置はこれらの機器に好ましく用いられる。

【0016】なお、本発明の通信機器用半導体装置は、上記第1の半導体層の下にInP基板を備えていてもよい。

【0017】上記第1の半導体層と上記第2の半導体層との界面において、上記第1の半導体層の価電子帯端のポテンシャルと上記第2の半導体層の価電子帯端のポテンシャルとの差が 0.1 eV 以下であることにより、チャネル層内で生じたホールを除去するために印加する電圧を 3 V 以下に抑えられるので、通信機器に用いる際に昇圧回路等が不要になり、回路のサイズを小さくすることができる。

【0018】上記第2の半導体層のバンドギャップエネルギーが 0.77 eV 以上であることにより、駆動時にチャネル内で衝突イオン化が起こる頻度を従来のHFE Tと同等以下に抑えることができるので、ホールの発生が抑えられる。その結果、第2の半導体層内でのホールの蓄積が抑えられるので、本発明の通信機器用半導体装置は、高耐圧で信頼性の高いHFE Tとして機能させることができる。

【0019】また、上記第2の半導体層は、少なくともInを含むIII-V族半導体であることにより、優れた高周波特性を有し、Siからなるトランジスタに比べて移動度の大きいHFE Tを実現することができる。

【0020】特に、上記第2の半導体層は、 $(\text{In}_x\text{Ga}_{1-x})\text{As}_y\text{P}_{1-y}$ からなることにより、Pの濃度を変化させることでバンド構造を変えることが可能になるので、バンドギャップの大きさ、ヘテロ障壁の大きさ、第

1の半導体層-第2の半導体層間の価電子帯のポテンシャル差などを最適に調節することができる。

【0021】上記第2の半導体層は、 $(\text{In}_x\text{Ga}_{1-x})\text{As}_y(\text{PzN}_{1-z})_{1-y}$ からなることにより、P及びNの濃度を変化させてバンド構造を変えることが可能になるので、第2の半導体層が $(\text{In}_x\text{Ga}_{1-x})\text{As}_y\text{P}_{1-y}$ からなる場合と比べてバンド構造を調節するための自由度がさらに増す。例えば、第1及び第3の半導体層が共にInAlAsからなるときには、第2の半導体層のバンドギャップを従来のHFE Tと同じ大きさにしたまま第2の半導体層と第3の半導体層の界面における伝導帯端のポテンシャル差を大きくし、且つ第1の半導体層-第2の半導体層間の価電子帯のポテンシャル差を小さくすることができる。この結果、ホールの蓄積が起こりにくく、高速動作が可能なHFE Tを実現することができる。

【0022】上記第1～第3の半導体層は、上記InP基板とほぼ格子整合していることが好ましい。

【0023】上記第1の半導体層及び上記第3の半導体層がInAlAsからなっていることにより、例えば第2の半導体層がInGaAsPまたはInGaAsNからなっているときには、バンドギャップがInAlAsよりも小さくなるので、第2の半導体層内に効果的にキャリア電子を閉じこめることが可能になる。したがって、本発明の通信機器用半導体装置の動作を高速化することができる。

【0024】

【発明の実施の形態】-改良点についての検討-

HFE Tにおいて、ホールのチャネル層内への蓄積を防ぐためには、衝突イオン化の発生を抑えることと、生成したホールをすみやかにチャネル層から掃き出せるようにすることの2つの解決方法が考えられる。

【0025】衝突イオン化を防ぐためにはチャネル層のバンドギャップを大きくする必要があるが、バンドギャップを大きくすると、電子の有効質量は重くなり、HFE Tの最大の長所である高速動作性が失われる。また、バンドギャップを大きくすることで伝導帯側のエネルギー障壁が小さくなる場合には、電子の閉じこめが不十分になり、高移動度の二次元電子ガスを発生させることが困難になる。

【0026】以上のことから、本願発明者らは生成したホールをすみやかにチャネル層から掃き出す方法を検討した。さらに、上述したように、チャネル層のバンドギャップは大きすぎても小さすぎても不具合があるため、該バンドギャップを大きく変えないか、バンドギャップを広くするとしてもキャリアの移動度に影響しない程度にするように留意した。加えて、チャネル層内への電子の閉じこめを維持することにも留意した。

【0027】(第1の実施形態) 本発明の第1の実施形態に係る通信機器用のHFE Tについて、以下説明す

る。

【0028】図1は、本実施形態に係るHFETの構造を示す断面図である。同図に示すように、本実施形態のHFETは、半絶縁性のInP基板101と、InP基板101上に設けられたアンドープのInAlAsからなる厚さ200nmのバッファ層102と、バッファ層102上に設けられたアンドープのInGaAsからなる厚さ15nmのチャンネル層103と、チャンネル層103の上に設けられたアンドープのInAlAsPからなる厚さ2nmのスペーサ層104と、スペーサ層104の上に共蒸着等により設けられた面密度 $5 \times 10^{12} \text{ cm}^{-2}$ のSiを含む原子層ドーピング面からなる不純物添加層105と、不純物添加層105の上に設けられたアンドープのInAlAsからなる厚さ15nmのバリア層106と、バリア層106の上に設けられたゲート電極111と、バリア層106の上のゲート電極111の両側方に設けられた $1 \times 10^{19} \text{ cm}^{-3}$ のSiを含むn型InGaAsからなるキャップ層107と、チャンネル層103、スペーサ層104、不純物添加層105、バリア層106及びキャップ層107の一部にSiをイオン注入することにより設けられたソース領域112及びドレイン領域113と、ソース領域112上に設けられたソース電極110と、ドレイン領域113の上に設けられたドレイン電極109を備えている。また、バッファ層102、チャンネル層103、スペーサ層104、バリア層106及びキャップ層107はそれぞれMBE法やCVD法などによりエピタキシャル成長された層であり、各層はInP基板101に格子整合されている。なお、ドレイン電極109及びソース電極110は共にAuGe/Ni等からなっており、ドレイン領域113とソース領域112とそれぞれオーミック接触している。

【0029】また、本実施形態のHFETにおいては、駆動時にチャンネル層103のうちスペーサ層104との界面付近にキャリアが蓄積し、二次元電子ガス108を生じる。このとき、電流はドレイン電極109から順にドレイン領域113、二次元電子ガス108、ソース領域112、ソース電極110の経路を流れる。

【0030】本実施形態のHFETが従来のHFETと異なっている点は、チャンネル層103の組成にPが加わり、InGaAsPとなっている点である。以下に、チャンネル層103の組成にPを加えたことの効果について説明する。

【0031】図2は、図1に示す本実施形態に係るHFETのII-II線におけるエネルギーバンド図である。同図は、HFETの駆動時におけるエネルギーバンド図であり、ゲート電極111に電圧が印加された状態を示している。なお、比較しやすいように、従来のHFETのエネルギーバンドを点線で示している。

【0032】図2に示すように、本実施形態のHFETは、共にバンドギャップの大きいInAlAsからなる

バッファ層102とスペーサ層104との間にバンドギャップの小さいInGaAsPからなるチャンネル層103が挟まれた構造をとっている。

【0033】また、本実施形態のHFETにおいては、チャンネル層103にPを導入することで従来のHFETと比べてバンドギャップが約1.0eVに広がっており、特にチャンネル層103とバッファ層102との界面における両層の価電子帯端のバンド不連続量 β がほぼ0eVになっている。このため、チャンネル層103内で衝突イオン化によって生じるホールを、速やかにバッファ層102方向へと掃き出させることができ、ホールの蓄積によるHFETの動作への影響を排除することができる。

【0034】また、チャンネル層103とスペーサ層104との界面における両層の伝導帯端間のバンド不連続量 α は0.45eVを維持しており、従来のHFETにおけるバンド不連続量0.55eVとあまり変わらない。このため、バイアス印加時にはチャンネル層103のうちスペーサ層104との界面付近に電子が閉じこめられ、従来のHFETと同様、移動度の大きい二次元電子ガス108が生じ、HFETの高速動作が可能になる。

【0035】さらに、本実施形態のHFETにおいては、チャンネル層103のバンドギャップエネルギーが従来の0.77eVに比べ大きくなっている。このため、本実施形態のHFETにおいては、従来のHFETに比べてチャンネル層103内での電離衝突によるイオン化が起こりにくくなっている。つまり、本実施形態のHFETにおいては、チャンネル層103内でのホール生成が抑制されている。

【0036】このように、本実施形態のHFETでは、チャンネル層103のバンドギャップが従来より大きいことによりホールの生成が抑えられている。さらに、ヘテロ接合における伝導帯端のバンド不連続量は大きく変化せず、価電子帯端のバンド不連続量が小さくなっているため、キャリアの大きい移動度を維持したままチャンネル層103内へのホールの蓄積が抑制される。これにより、ゲートリーク電流などの不具合の発生が抑えられ、安定した高速動作が実現できる。加えて、本実施形態のHFETは、化合物本来の優れた高周波特性を有しているため、高周波を利用した通信機器に好ましく用いられる。

【0037】次に、チャンネル層103に導入されるPの効果についてもう少し説明する。

【0038】図7に示すように、従来のHFETのチャンネル層はInGaAsからなるので、InPに格子整合をとる条件下ではInAlAsからなるバッファ層102及びスペーサ層104との界面で伝導帯側のみならず価電子帯側にもバンド不連続が生じる。一方、図7の点線に示すように、InPの伝導帯端及び価電子帯端のポテンシャルは共にInAlAsのポテンシャルよりも低

いので、 InP と InAlAs とのヘテロ界面は InGaAs の時とは逆の方向にバンド不連続が生じることが知られている。このヘテロ接合は一般にType-IIと呼ばれる。

【0039】このため、 InGaAs からなるチャネル層へPを導入することで、 InAlAs との界面で価電子帯側に生じるバンド不連続をうち消すことができる。なお、伝導帯側のバンド不連続は価電子帯側ほど大きくは変動しない。

【0040】チャネル層の組成の一例として、原子数の比で $\text{In}:\text{Ga}=4:1$ 、 $\text{As}:\text{P}=3:2$ であれば、 InP 基板と格子整合させた条件において InAlAs との界面で価電子帯側に生じるバンド不連続量、つまりバッファ層102とチャネル層103の価電子帯端のポテンシャル差は0 eVとなる。このとき、伝導帯側のバンド不連続量は0.45 eVを維持しており、チャネル層が InGaAs である場合の0.55 eVとあまり変わらないので、二次元電子ガスの量と移動度に与える影響は少なくなっている。加えて、バンドギャップは InGaAs を用いる場合よりも大きくなっているので、電離衝突によるイオン化は発生しにくくなっている。また、発生したとしてもホールはチャネル層-バッファ層間のエネルギー障壁を越える必要がなくなり、速やかにチャネル層103内から掃き出される。

【0041】次に、チャネル層103内からホールを掃き出す方法について簡単に説明する。先に示したように、バッファ層102とチャネル層103の価電子帯端のポテンシャル差が0 eVのときには動作中にホールが蓄積することはないが、チャネル層103の価電子帯端のポテンシャルがバッファ層102のそれよりも高い場合には、ホールの除去が必要になることがある。その際には、例えば InP 基板101の裏面上に基板電極を設け、動作を止めた後にゲート電圧を印加した状態で該基板電極に負電圧を印加すれば、印加した電圧に伴った電界に引っ張られ、容易にホールを除去することができる。

【0042】なお、チャネル層103の価電子帯端のポテンシャルがバッファ層102のそれよりも低い場合には、特に基板電極に電圧を印加しなくてもスペーサ層104内のチャネル層103との界面付近にホールが蓄積しにくくなっている。これは、ゲート電極111に電圧が印加されているため、価電子帯のバンドが図2に示すバンドと同様に右上がりとなり、ホールが InP 基板方向に抜けやすくなっているからである。

【0043】なお、携帯電話を例にとると、駆動電圧は最大で5 V程度であるので、本実施形態のHFE Tをこれらの通信機器に利用するためには、ホール除去のために印加する電圧も5 V以下であることが要求される。そのため、バッファ層102とチャネル層103の価電子帯端のポテンシャルの差は少なくとも0.18 eV以下

になるように設計されている。また、携帯電話の駆動電圧を5 Vにすると昇圧回路等が必要になるため、駆動電圧は3 V以下であることがより好ましい。このため、本実施形態のHFE Tにおいて、チャネル層103の価電子帯端のポテンシャルがバッファ層102のポテンシャルよりも高いときのポテンシャル差を正の値とすると、バッファ層102とチャネル層103の価電子帯端のポテンシャルの差は0.1 eV以下であることが好ましい。ここで、ポテンシャルの差が負の値であってもよい。

【0044】また、本実施形態のHFE Tにおいて、チャネル層103の組成は上述したものに限らず、P濃度を調節することでヘテロ接合におけるバンド不連続量及びチャネル層のバンドギャップを変えることができる。すなわち、チャネル層103の材料を $(\text{In}_x\text{Ga}_{1-x})\text{As}_y\text{P}_{1-y}$ とすると、Yの値を調節することで、チャネル層103とバッファ層102の価電子帯端のポテンシャル差を-0.4 eV以上0.18 eV以下の範囲内にするとともに、バンドギャップの大きさを調節することができる。また、同時にXの値を調節することで InP 基板101に対する格子整合をとることができる。ただし、エネルギーギャップを大きくしすぎると移動度が下がってしまううえに伝導帯側のバンド不連続量も小さくなってしまい、二次元電子ガスの閉じこめにも影響を与え素子特性の劣化を招くので、必要以上にPを入れることは逆効果となる。

【0045】このように、チャネル層内のP濃度を調節することで、衝突イオン化の頻度を下げてホールの生成を抑えることができ、仮にホールが生成したときにもホールがチャネル層から容易に除去することが可能になる。つまり、本実施形態のHFE Tは高周波特性に優れ、移動度が大きく、且つ性能が安定しているHFE Tを実現できるので、特に通信機器に好ましく用いられる。もちろん、従来のHFE Tよりも耐圧が大きく、且つ特性が安定しているため、本実施形態のHFE Tは、通信機器以外の半導体装置としても用いることができる。

【0046】また、本実施形態のHFE Tにおいて、 InP 基板101上の各層はCVD法やMBE法により形成されるなど、従来のHFE Tとほぼ同様の公知技術により容易に製造できることも利点の1つである。

【0047】なお、本実施形態のHFE Tにおいては、バッファ層102及びスペーサ層104の材料が共にアンドープの InAlAs で、チャネル層103の材料は InGaAsP であったが、これに限らず、バッファ層102及びスペーサ層104の材料はチャネル層103の材料よりもバンドギャップが大きいものであればよい。特に、チャネル層103の材料としては、 InP 基板と格子間隔が大きく異なる In を含むIII-V族半導体であってもよい。これらの素材の組成比を最適化す

ることで、キャリア電子の閉じこめが可能で衝突イオン化が起りにくく、且つホールがチャネル層に蓄積しにくくすることができる。

【0048】なお、本実施形態のHFE Tのチャネル層103の組成は一定であったが、例えばPの濃度を段階的に変えてもよい。この際には、スペーサ層104とチャネル層103との界面において、チャネル層103内にキャリア電子を閉じこめるためのバンド不連続量 α が確保され、且つチャネル層103とバッファ層102及びスペーサ層104との界面における両層の価電子帯端のポテンシャル差が0.1 eV以内であればよい。

【0049】なお、本実施形態のHFE Tにおいては、バッファ層102とチャネル層103との界面において、バッファ層102の伝導帯端のポテンシャルがチャネル層103のポテンシャルより高くなっていたが、逆に、チャネル層103の伝導帯端のポテンシャルの方を高くしてもよい。駆動時にはゲート電極に電圧を印加するため、この場合でもキャリア電子をチャネル層103内に閉じこめることは可能である。

【0050】なお、本実施形態のHFE Tにおいて、バッファ層102を設けず、InP基板101上に直接チャネル層103が設けられた構造をとることもできる。この場合にはバンド不連続量 β の値は0にはならないが、チャネル層103のP濃度を調節してバンド不連続量 β の値を0.18 eV以下にすることは可能である。

【0051】—第1の実施形態の変形例—

図3は、第1の実施形態に係るHFE Tの変形例を示す断面図である。本実施形態の変形例では、不純物添加層105の代わりに、厚さ2 nm程度のアンドープInAlAs層314と高濃度でSiなどのn型不純物を含む厚さ2 nm程度のn型InAlAs層315とを交互に繰り返し積層することにより形成されたInAlAs積層部317が設けられている。これは一般に多重 δ ドープ構造と呼ばれる構造である。HFE Tの駆動時には、上述したように、キャリア電子がチャネル層103内に蓄積して二次元電子ガスを生じる。

【0052】このように、キャリアの供給層が δ ドープの積層構造をとっていても、チャネル層103にPを導入することで、第1の実施形態と同様にバンドギャップを大きくして衝突イオン化によるホール生成を抑制し、バッファ層102とチャネル層103の価電子帯端のポテンシャルの差を-0.4 eV以上0.18 eV以下にしてホールの蓄積を抑えることができる。

【0053】なお、InAlAs積層部317に含まれるSiはin-situドーピングによって導入してもよいし、Siイオンの多段階注入により導入してもよい。

【0054】（第2の実施形態）本発明の第2の実施形態として、チャネル層の材料にN（窒素）を加えてヘテロ接合におけるバンド不連続量やチャネル層のバンドギ

ャップを調節する通信機器用のHFE Tを説明する。

【0055】図4は、本発明の第2の実施形態に係るHFE Tを示す断面図である。同図に示すように、本実施形態のHFE Tは、半絶縁性のInP基板401と、InP基板401上に設けられたアンドープのInAlAsからなる厚さ200 nmのバッファ層402と、バッファ層402上に設けられたアンドープのInGaAs PNからなる厚さ15 nmのチャネル層403と、チャネル層403の上に設けられたアンドープのInAlAsからなる厚さ2 nmのスペーサ層404と、スペーサ層404の上に設けられた面密度 $5 \times 10^{12} \text{ cm}^{-2}$ のSiを含む原子層ドーピング面からなる不純物添加層405と、不純物添加層405の上に設けられたアンドープのInAlAsからなる厚さ15 nmのバリア層406と、バリア層406の上に設けられたゲート電極411と、バリア層406の上のゲート電極411の両側方に設けられた $1 \times 10^{19} \text{ cm}^{-3}$ のSiを含むn型InGaAsからなるキャップ層407と、チャネル層403、スペーサ層404、不純物添加層405、バリア層406及びキャップ層407の一部にSiをイオン注入することにより設けられたソース領域412及びドレイン領域413と、ソース領域412上に設けられたソース電極410と、ドレイン領域413の上に設けられたドレイン電極409を備えている。また、バッファ層402、チャネル層403、スペーサ層404、バリア層406及びキャップ層407はそれぞれMBE法やCVD法などによりエピタキシャル成長された層であり、各層はInP基板401に格子整合されている。なお、ドレイン電極409及びソース電極410は共にAuGe/Ni等からなっており、ドレイン領域413とソース領域412とそれぞれオーミック接触している。HFE Tの駆動時には、キャリアがチャネル層403のうちスペーサ層404との界面付近に蓄積し、二次元電子ガス408を生じる。このとき、電流はドレイン電極409から順にドレイン領域413、二次元電子ガス408、ソース領域412、ソース電極410の経路を流れる。

【0056】本実施形態のHFE Tが第1の実施形態のHFE Tと異なっている点は、チャネル層403の組成にさらにNが加わり、InGaAs PNとなっている点である。以下に、チャネル層403の組成にNを加えたことの効果について説明する。

【0057】図5は、図4に示す本実施形態に係るHFE TのV-V線におけるエネルギーバンド図である。同図は、ゲート電極411に電圧が印加された状態を示している。なお、比較のため従来のHFE Tのエネルギーバンドを点線で示している。

【0058】まず、本実施形態のHFE Tが従来のHFE Tと異なっているのは、PとNとを導入することで、チャネル層403とバッファ層402との界面における両層の価電子帯端のバンド不連続量 β がほぼ0 eVにな

っていることである。このため、チャンネル層403内で衝突イオン化によって生じるホールは、速やかにバッファ層402方向へと掃き出され、第1の実施形態と同様に、安定したHFEETの動作が得られる。

【0059】また、第1の実施形態においては、Pの濃度を上げる程チャンネル層103とスペーサ層104との界面における両層の伝導帯端間のバンド不連続量 α の値が小さくなっていたが、本実施形態のHFEETにおいては、チャンネル層403にさらにNが導入されているため、バンド不連続量 α の値を例えば従来と同じ0.55 eVとしたまま、あるいはそれ以上とした上でバンド不連続量 β の値を約0 eVとすることができる。このため、本実施形態のHFEETにおいては、電子のチャンネル層403への閉じこめがさらに良好となり、二次元電子ガス408の移動度をさらに向上させることが可能となる。また、チャンネル層403のバンドギャップエネルギーは、導入するPとNの濃度を調節することにより、従来と同じ0.77 eV以上とすることができる。これにより、高い移動度を保ちながら、衝突イオン化によるホールの発生を抑えたHFEETが実現できる。さらに、本実施形態のHFEETは、ホールが発生した場合にも、チャンネル層403内に蓄積しにくくなっているため、耐圧が高く、且つ性能が安定している。

【0060】このように、チャンネル層403のInGaAsPにNを加えることにより、第1の実施形態のHFEETに比べバンドギャップが小さくなり、伝導帯端のポテンシャルと価電子帯端のポテンシャル位置は共に従来のInGaAsを使用した場合に比べて低くなる。このため、PとNの濃度を調節することにより、バンドギャップの大きさを従来のInGaAsを使用した場合より大きくし、バンド不連続量 α の値を大きくするとともにバンド不連続量 β の値を小さくするなど、バンド構造が最適になるように調節することが可能となる。ここで、バンドギャップエネルギーは、衝突イオン化を防ぐために0.77 eV以上が好ましく、バンド不連続量 α の値はキャリアを閉じこめるために0.55 eV以上が好ましく、バンド不連続量 β の値はホールを容易に除去できるように0.18 eV以下であることが好ましい。

【0061】なお、チャンネル層403の価電子帯端のポテンシャルの位置がバッファ層402のそれよりも上へ来る場合、つまりType Iのヘテロ接合の場合には、第1の実施形態と同様にホールの除去が必要になることがある。その際には、例えばInP基板401の裏面に基板電極を設け、動作を止めた後にゲート電圧を印加した状態で該基板電極に正電圧を印加すれば、印加した電圧に伴う電界に引っ張られ、チャンネル層403とバッファ層402との間にあるエネルギー障壁（バンド不連続量） β を乗り越えて容易にホールを除去することができる。また、ヘテロ接合がType IIの場合には、ゲート電極411に電圧を印加するためホールの蓄積は起こ

りにくくなっている。

【0062】また、本実施形態のHFEETは、化合物半導体本来の優れた高周波特性を有しているため、高周波を利用した通信機器に好ましく用いられる。特に、チャンネル層403とバッファ層402との界面における価電子帯端のポテンシャル差を0.18 eV以下になるようにPとNの濃度を調節することにより、ホールを除去するための電圧を5 V以下にすることができるので、携帯電話をはじめとする携帯機器に用いることができる。さらに、上記のポテンシャル差が0.1 eV以下であれば携帯電話用の半導体装置としてさらに好ましく用いられる。なお、このポテンシャル差は負の値であってもよいが、本実施形態のHFEETではチャンネル層403中のPとNの濃度を調節して形成できるポテンシャル差は-0.4 eV以上である。

【0063】以上に説明したように、本実施形態のHFEETにおいては、InGaAsPNをチャンネル層とすることによって第1の実施形態に比べチャンネル層の性質を最適化するための自由度がさらに増す。すなわち、チャンネル層にPとNとを導入することで、二次元電子ガスのキャリア濃度が増加するとともに移動度が向上し、電離衝突によるイオン化が生じにくく、且つチャンネル層内で生じたホールを逃がしやすい構造にすることができる。その結果、高い移動度と耐圧性を有し、動作の安定性に優れたHFEETが実現される。

【0064】なお、本実施形態においては、チャンネル層403の組成をInGaAsPNの五元結晶としたが、チャンネル層403の材料はInを含むIII-V族化合物であればよく、例えばGaを使用せずにInAsPNとしたり、Sbを加えてInPSbNとしてもよい。あるいはPに代えてSbを用いてInGaAsSbNとしたり、Alを用いてInAlAsNとしても以上の本実施形態と同様の効果が得られる。また、第1の実施形態と同様に、バッファ層402及びスペーサ層404の材料は、チャンネル層403の材料よりもバンドギャップが大きいものであれば同じ効果が得られる。このとき、バッファ層402及びスペーサ層404の材料は互いに異なる材料であってもよい。

【0065】また、スペーサ層404、不純物添加層405及びバリア層406の代わりにチャンネル層403の上に δ ドープの積層構造を設けてもよい。

【0066】

【発明の効果】本発明の通信機器用半導体装置によれば、HFEETの構造を有し、チャンネル層に使用する材料にInやAsを含むIII族-V族化合物半導体の他、PあるいはP及びNなどのV族元素を導入してバンドギャップの大きさやヘテロ接合界面における伝導帯端のポテンシャルの差を最適化しているため、駆動時に高い移動度と高いキャリア濃度の二次元電子ガスを生じ、且つ電離衝突によるイオン化が抑制抑制されたHFEET素子を実

現することができる。また、チャネル層とこれを挟む層との界面における価電子帯端のポテンシャルの差を例えば -0.4 eV 以上 0.18 eV 以下にすることができるので、電離衝突によるイオン化が起こったとしても発生したホールを速やかチャネル層から掃き出すことができ、性能の安定した半導体装置が実現できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態に係る H F E T を示す断面図である。

【図 2】第 1 の実施形態に係る H F E T の図 1 に示す II-II 線におけるエネルギーバンド図である。

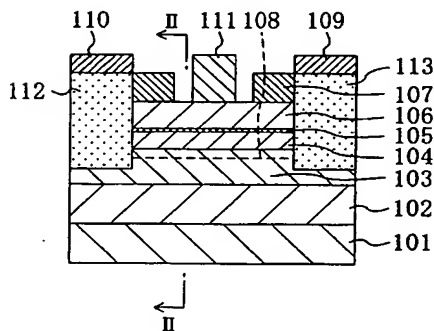
【図 3】第 1 の実施形態に係る H F E T の変形例を示す断面図である。

【図 4】本発明の第 2 の実施形態に係る H F E T を示す断面図である。

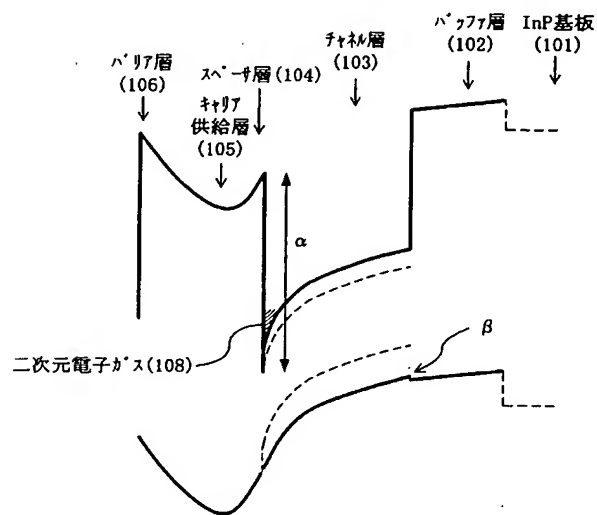
【図 5】第 2 の実施形態に係る H F E T の V-V 線におけるエネルギーバンド図である。

【図 6】従来の H F E T を示す断面図である。

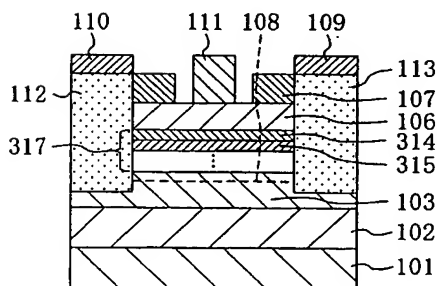
【図 1】



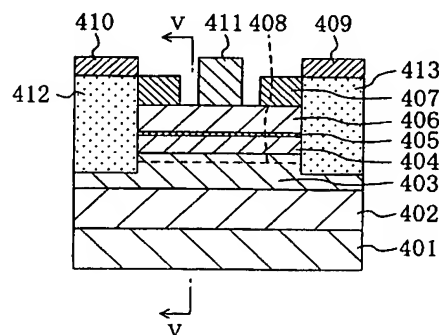
【図 2】



【図 3】



【図 4】

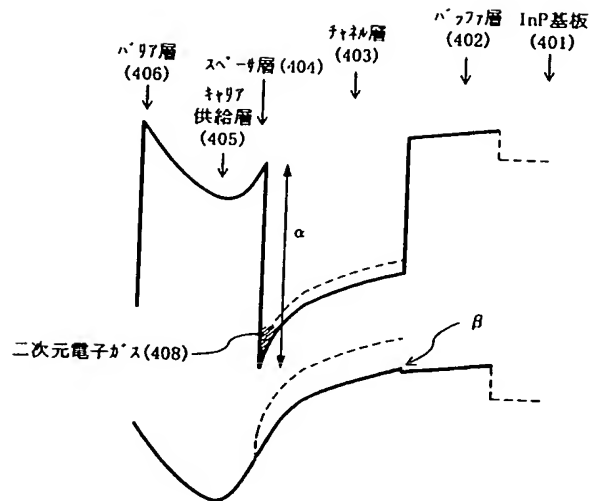


【図 7】従来の H F E T の図 6 に示す VII-VII 線におけるエネルギーバンド図である。

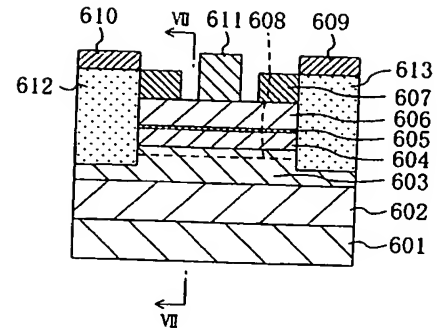
【符号の説明】

101, 401	InP 基板
102, 402	バッファ層
103, 403	チャネル層
104, 404	スペーサ層
105, 405	不純物添加層
106, 406	バリア層
107, 407	キャップ層
108, 408	二次元電子ガス
109, 409	ドレイン電極
110, 410	ソース電極
111, 411	ゲート電極
314	アンドープ InAlAs
315	n 型 InAlAs 層
317	InAlAs 積層部

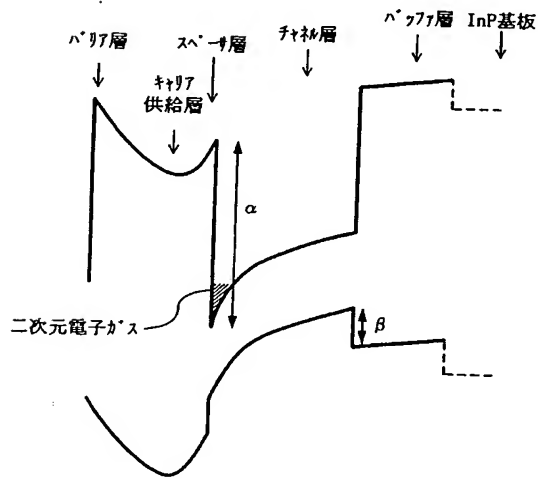
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 出口 正洋
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 吉井 重雄
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 古屋 博之
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
Fターム(参考) 5F102 FA00 GB01 GC01 GJ04 GK04
GL04 GM04 GM08 GN04 GQ01
GQ03 HC01